

ARQUITETURA DE SISTEMAS COMPUTACIONAIS – TRABALHO 3

Baseado na figura da página 2, projetar em VHDL uma CPU que execute o conjunto de instruções dado na página 4.

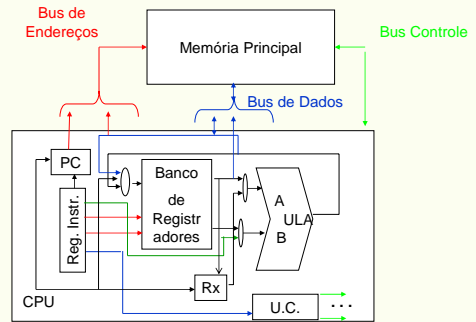
Deverá ser entregue um documento de especificação, conforme formato do trabalho 01, código VHDL e a simulação.

A entrega será para a semana de 4 a 8 de junho (no dia de sua aula) e a apresentação será nas semanas de 4 a 8 e 11 a 15 (nos dias de sua aula)

A prova do laboratório será na semana de 18 a 22 (no dia de sua aula)

1

ARQUITETURA DE SISTEMAS COMPUTACIONAIS – TRABALHO 3



2

ARQUITETURA DE SISTEMAS COMPUTACIONAIS – TRABALHO 3

Formato de Instruções

– Formato tipo R – Registrador

3 bits 2 bits 2 bits 1 vago

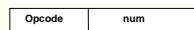


Código que diz o que a instrução faz e com que operandos ela trabalha

00 – R0
01 – R1
10 – R2
11 – R3

– Formato tipo J – Jump

3 bits 4 bits



Código que diz o que a instrução faz e com que operandos ela trabalha

– Formato I – Imediato

3 bits 2 bits 3 bits



Código que diz o que a instrução faz e com que operandos ela trabalha

00 – R0
01 – R1
10 R2
11 – R3

– Formato tipo S - subrotina

3 bits 4 bits 1bit função



Código que diz o que a instrução faz e com que operandos ela trabalha

3

ARQUITETURA DE SISTEMAS COMPUTACIONAIS – TRABALHO 3

Conjunto de Instruções Mnemônico	Operandos	Opcode	Significado
Instrução especial			
MV	Rx,reg	000	Rx ← Reg
Instruções de load e store			
LW	Reg,num	001	Reg ← [Rx + num]
SW	Reg,num	010	[Rx + num] ← Reg
Instruções Aritméticas e Lógicas			
ADD	Reg1,Reg2	011	Reg1 ← Reg1 + Reg2
SUB	Reg1,Reg2	100	Reg1 ← Reg1 - Reg2
AND	Reg1,Reg2	101	Reg1 ← Reg1 & Reg2
Instruções de Controle de Fluxo de Execução			
JMP	num	110	PC ← num
JAL	num	111 0	Rx ← PC , PC ← num
RET	---	111 1	PC ← Rx

4