

Circuitos Lógicos e Organização de Computadores

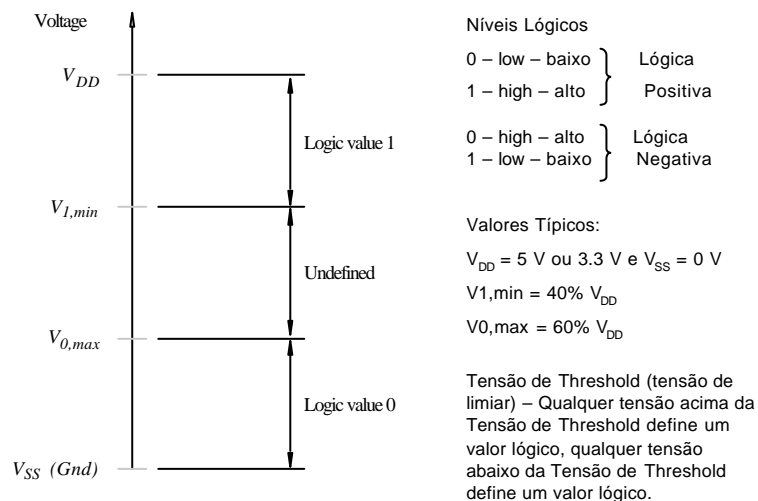
Capítulo 3 – Tecnologia de Implementação

Ricardo Pannain

pannain@puc-campinas.edu.br

<http://docentes.puc-campinas.edu.br/ceatec/pannain/>

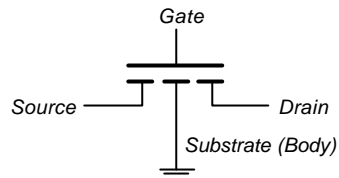
Tensão relativas aos níveis lógicos



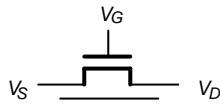
Transistor NMOS como uma chave



(a) Uma chave controlada por uma entrada x



(b) Transistor NMOS



(c) Símbolo simplificado de um transistor NMOS

MOS – Metal Oxide Silicon
NMOS – MOS tipo N (canal N – Substrato P)

Gate - Porta
Source – Fonte
Drain - Dreno
Substrate (body) – substrato

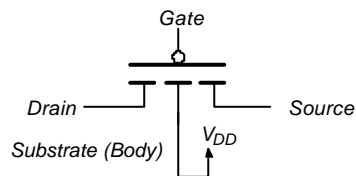
Se V_G é baixo, não há formação de canal entre fonte e dreno \approx transistor não conduz \approx transistor aberto (turned off)

Se V_G é alto, há formação de canal entre fonte e dreno \approx transistor conduz \approx transistor fechado (turned on)

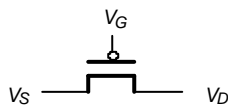
Transistor PMOS como uma chave



(a) Uma chave com comportamento oposto ao do slide anterior



(b) Transistor PMOS



(c) Símbolo simplificado de um transistor PMOS

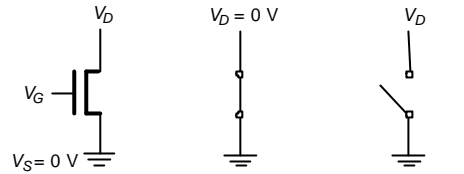
PMOS – MOS tipo P (canal P – Substrato N)

Gate - Porta
Source – Fonte
Drain - Dreno
Substrate (body) – substrato

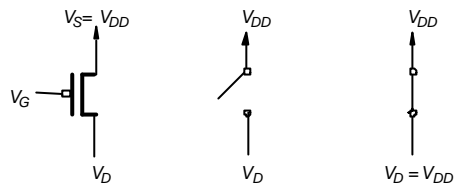
Se V_G é baixo, há formação de canal entre fonte e dreno \approx transistor não conduz \approx transistor fechado (turned on)

Se V_G é alto, não há formação de canal entre fonte e dreno \approx transistor não conduz \approx transistor aberto (turned off)

Transistores NMOS e PMOS em circuitos lógicos

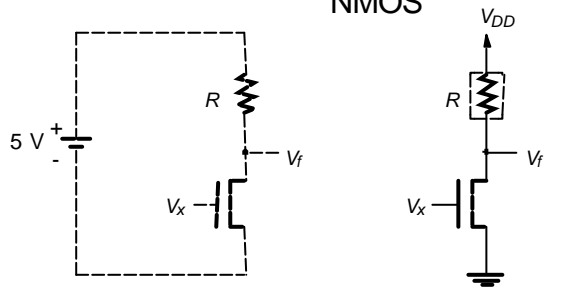


Chave fechada quando $V_G = V_{DD}$ Chave aberta quando $V_G = 0 V$
(a) Transistor NMOS



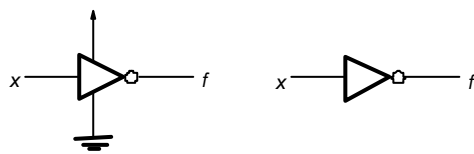
Chave Aberta quando $V_G = V_{DD}$ Chave fechada quando $V_G = 0 V$
(b) Transistor PMOS

Uma Porta Inversora – NOT - construída com tecnologia NMOS



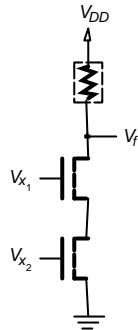
$V_f = 0,2 V$ quando $V_x = 5 V$
O resistor é um limitador de corrente (na prática, outro transistor)

(a) Diagrama do Circuito (b) Diagrama simplificado



(c) Símbolos Gráficos

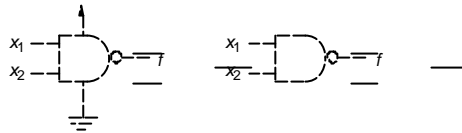
Porta NAND com tecnologia NMOS



(a) Circuito

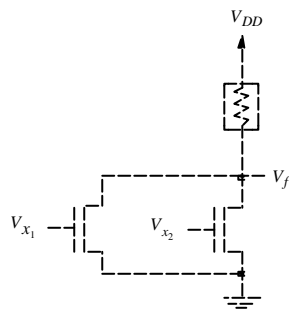
x_1	x_2	f
0	0	1
0	1	1
1	0	1
1	1	0

(b) Tabela Verdade



(c) Símbolo Gráfico

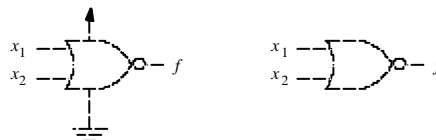
Porta NOR com tecnologia NMOS



(a) Circuit

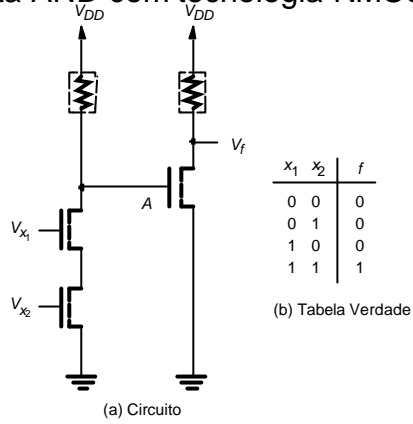
x_1	x_2	f
0	0	1
0	1	0
1	0	0
1	1	0

(b) Truth table



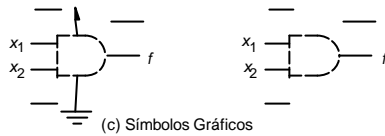
(c) Graphical symbols

Porta AND com tecnologia NMOS



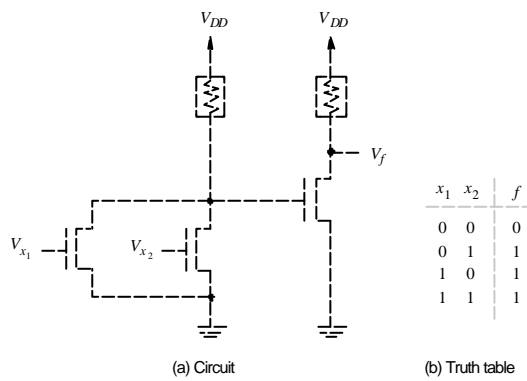
(b) Tabela Verdade

(a) Circuito



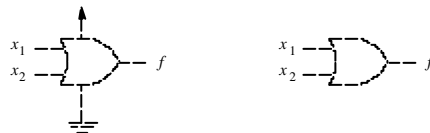
(c) Símbolos Gráficos

Porta OR com tecnologia NMOS



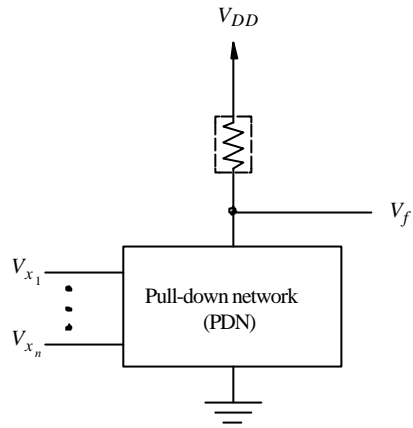
(b) Truth table

(a) Circuit

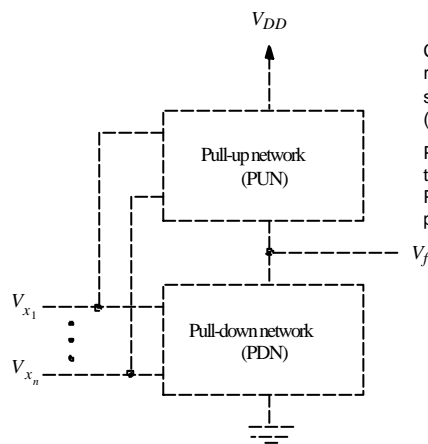


(c) Graphical symbols

Estrutura de uma Porta NMOS



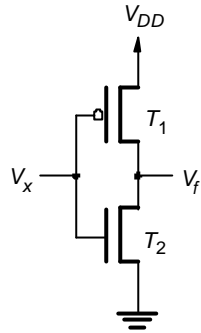
Estrutura de uma Porta CMOS



CMOS – Complementary MOS – resistor referente à porta NOMS é substituído por uma rede Pull-up (PUN)

PDN e PUN são duais, se o PDN tiver transistores NMOS em série, PUN terá transistores PMOS em paralelo, e vice-versa.

Estrutura de uma Porta NOT CMOS

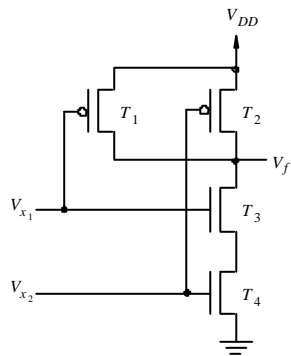


x	T_1	T_2	f
0	on	off	1
1	off	on	0

(a) Circuito

(b) Tabela verdade e estados dos transistores

Estrutura de uma Porta NAND CMOS



x_1	x_2	T_1	T_2	T_3	T_4	f
0	0	on	on	off	off	1
0	1	on	off	off	on	1
1	0	off	on	on	off	1
1	1	off	off	on	on	0

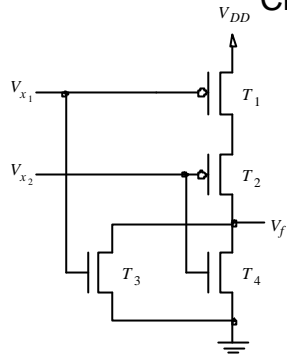
(a) Circuit

(b) Truth table and transistor states

Para $f = 1 \Rightarrow f = \overline{x_1 x_2} = \overline{x_1} + \overline{x_2} \Rightarrow$ PUN = 2 transistores PMOS em paralelo

Para $f = 0 \Rightarrow f = x_1 x_2 \Rightarrow$ PDN = 2 transistores NMOS em paralelo

Estrutura de uma Porta NOR CMOS



(a) Circuit

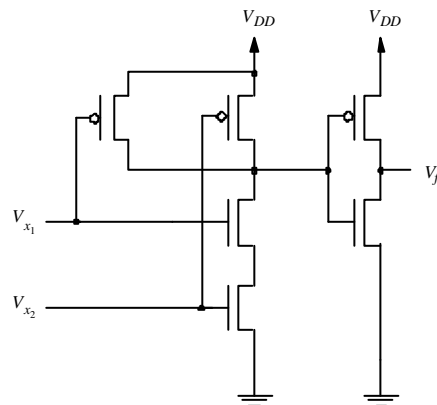
x_1	x_2	T_1	T_2	T_3	T_4	f
0	0	on	on	off	off	1
0	1	on	off	off	on	0
1	0	off	on	on	off	0
1	1	off	off	on	on	0

(b) Truth table and transistor states

Para $f = 1$ $\Leftrightarrow f = \overline{x_1 + x_2} = \overline{x_1} \cdot \overline{x_2}$ PUN = 2 transistores PMOS em s rie

Para $f = 0$ $\Leftrightarrow f = x_1 + x_2$ PDN = 2 transistores NMOS em paralelo

Estrutura de uma Porta AND CMOS



NAND + NOT

Estrutura de uma Porta CMOS

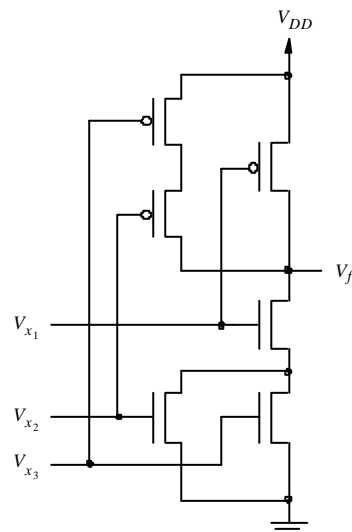
Exercício 1

Considere a função: $f = \overline{x_1} + \overline{x_2} \cdot \overline{x_3}$
Ache o circuito CMOS equivalente

Exercício 2

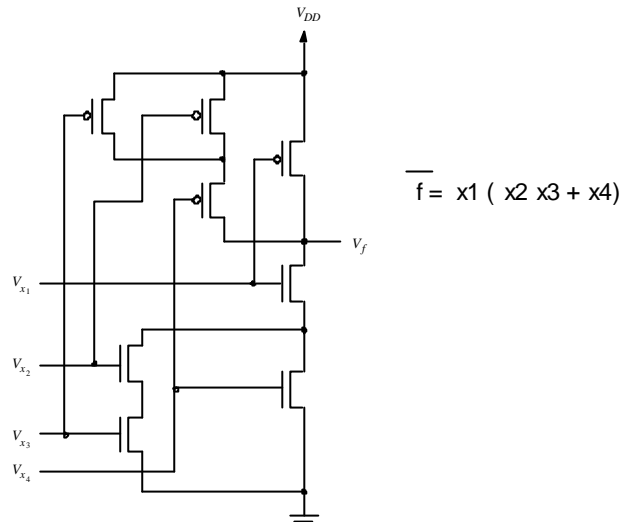
Considere a função: $f = \overline{x_1} + (\overline{x_2} + \overline{x_3}) \cdot \overline{x_4}$
Ache o circuito CMOS equivalente

Estrutura de uma Porta CMOS – Exercício 1



$$\overline{f} = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} = x_1 (x_2 + x_3)$$

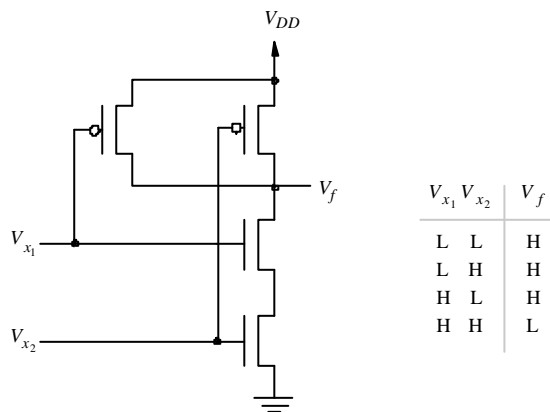
Estrutura de uma Porta CMOS – Exercício 2



Capítulo 3 - Tecnologia de Implementação

19

Níveis de Tensão em uma Porta Lógica



(a) Circuit

(b) Voltage levels

V_{x1}	V_{x2}	V_f
L	L	H
L	H	H
H	L	H
H	H	L

Capítulo 3 - Tecnologia de Implementação

20

Interpretação dos Níveis de Tensão – Lógica Positiva e Negativa

V_{x_1}	V_{x_2}	V_f
L	L	H
L	H	H
H	L	H
H	H	L

(a) Níveis de Tensão

x_1	x_2	f
0	0	1
0	1	1
1	0	1
1	1	0



(b) Tabela Verdade – Lógica Positiva e Símbolo

x_1	x_2	f
1	1	0
1	0	0
0	1	0
0	0	1



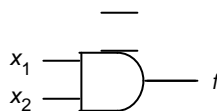
(c) Tabela Verdade – Lógica Negativa e Símbolo

Interpretação dos Níveis de Tensão – Lógica Positiva e Negativa

V_{x_1}	V_{x_2}	V_f
L	L	L
L	H	L
H	L	L
H	H	H

(a) Níveis de Tensão

x_1	x_2	f
0	0	0
0	1	0
1	0	0
1	1	1



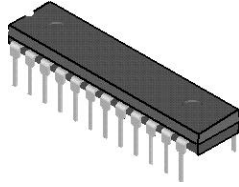
(b) Lógica Positiva

x_1	x_2	f
1	1	1
1	0	1
0	1	1
0	0	0

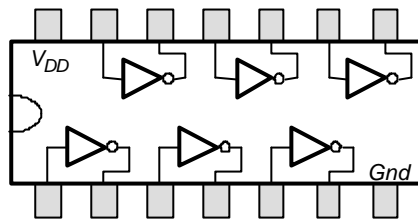


(c) Lógica Negativa

Circuito Integrado Padrão – Série 7400

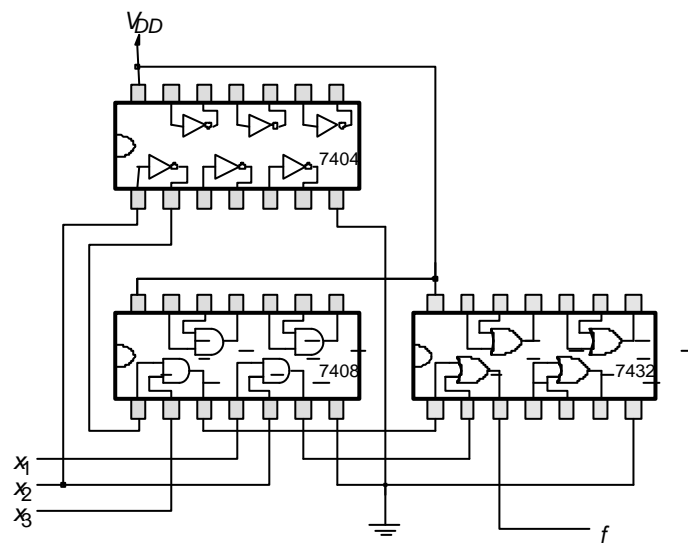


(a) Encapsulamento Dual-Line – DIP (Dual-Line Package)

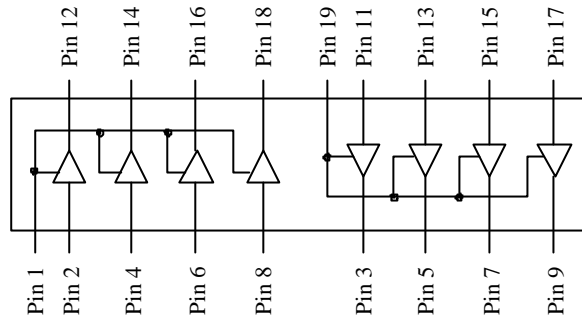


(b) Estrutura de um Circuito Integrado 7404

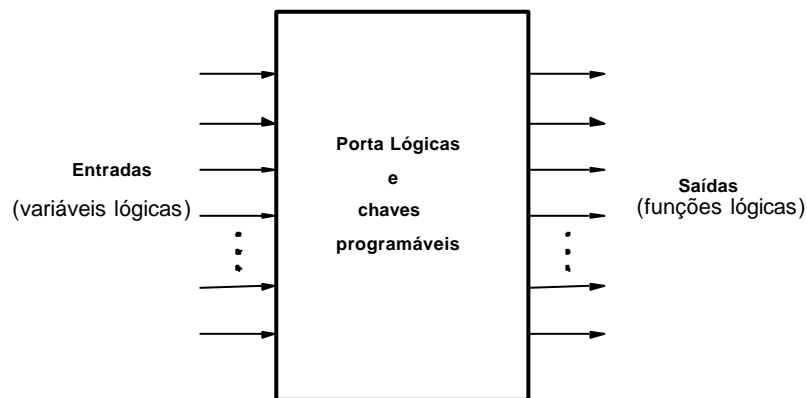
Implementação de $f = x_1x_2 + \overline{x_2x_3}$



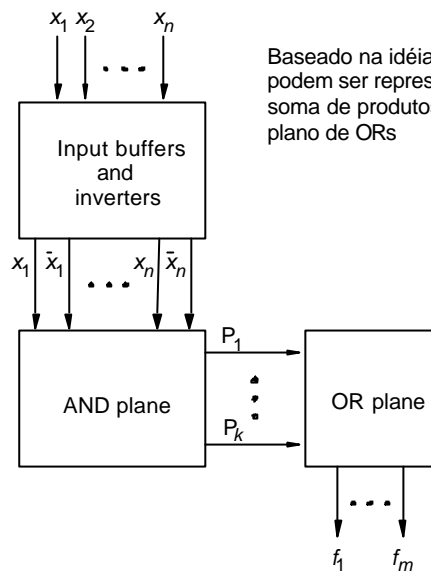
Circuito Integrado 74244 - 8 Buffers tri-states



Dispositivos Lógicos Programáveis como uma Caixa Preta

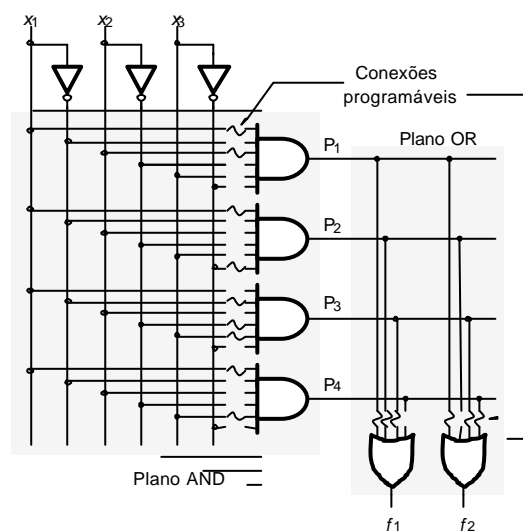


Estrutura geral de uma PLA – Programmable Logic Array

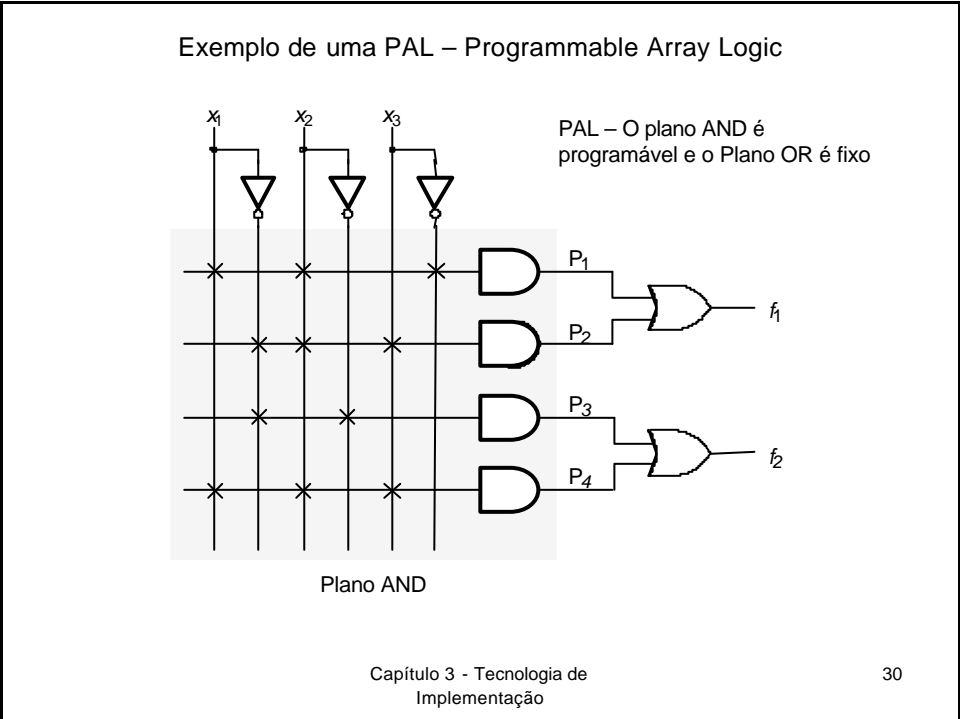
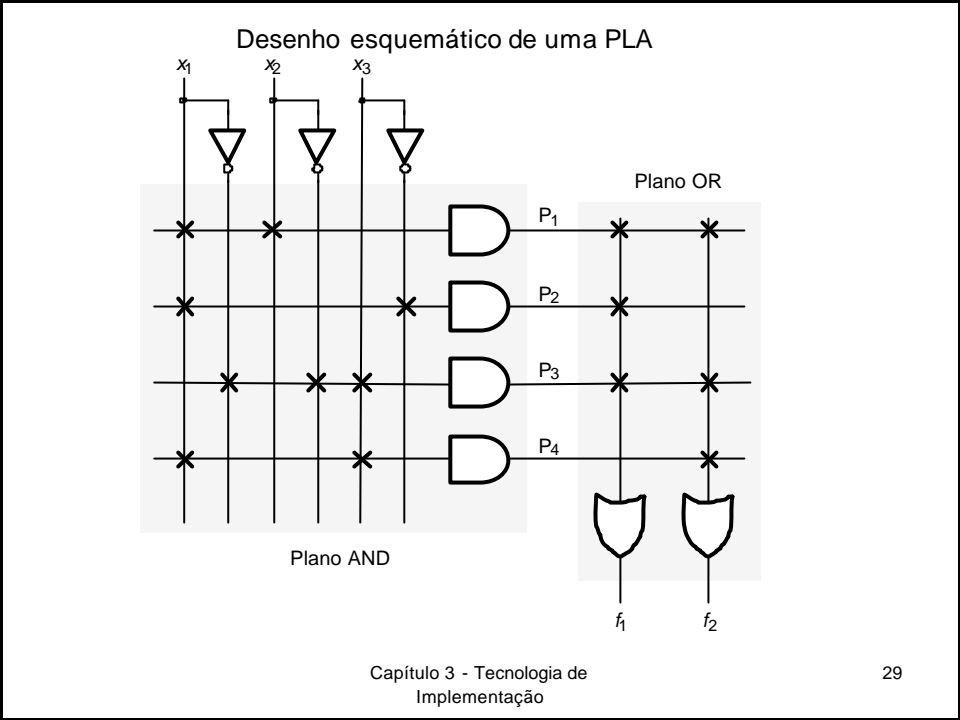


Baseado na idéia que as funções lógicas podem ser representadas como uma soma de produtos \approx plano de ANDs e plano de ORs

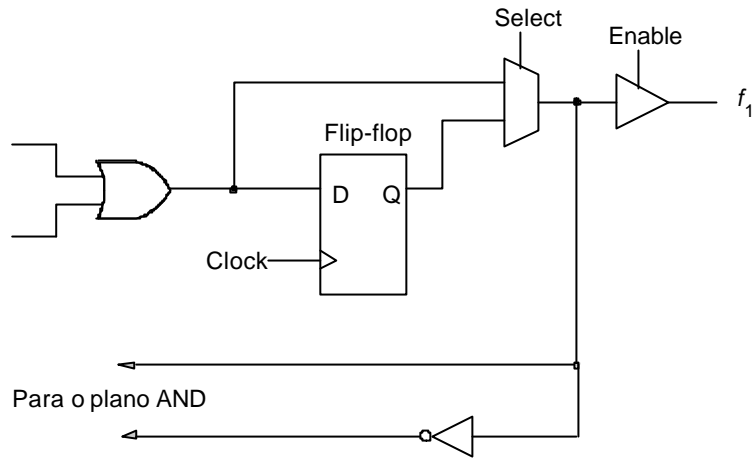
Diagrama, em nível de portas lógicas, de uma PLA



Exercício – Dizer quais são as respectivas funções f_1 e f_2 .



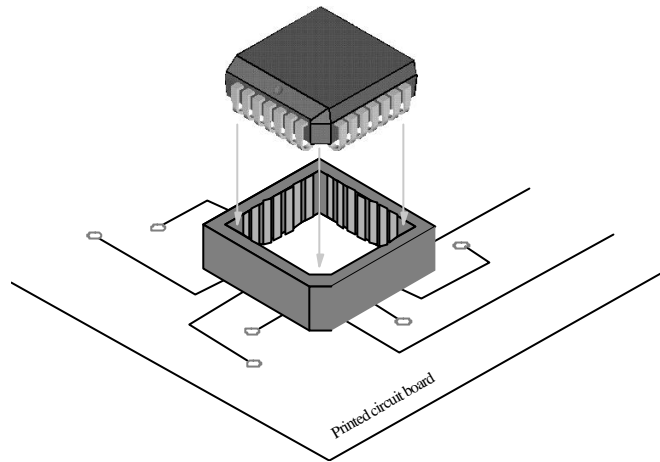
Circuito extra de saída de uma PAL



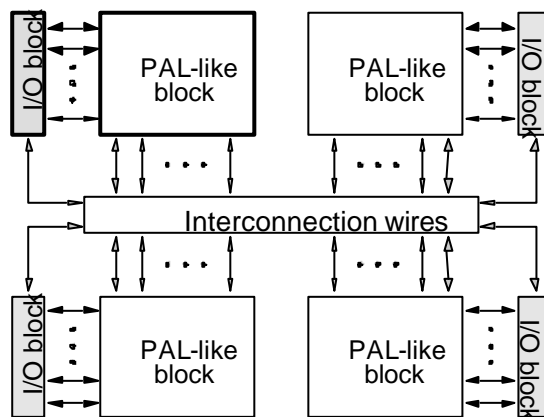
Unidade de Programação de um PLD



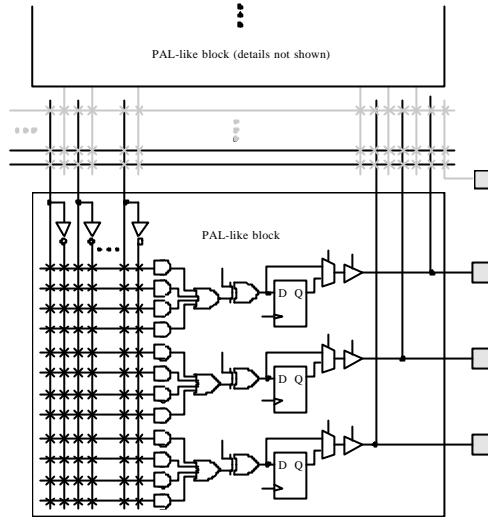
UM PLCC – Plastic-Leaded Chip Carrier com soquete



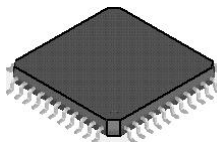
Estrutura de CPLD – Complex Programmable Logic Device



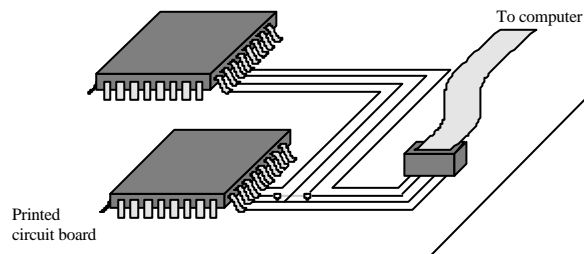
Detalhe de um CPLD



Encapsulamento de um CPLD e sua programação

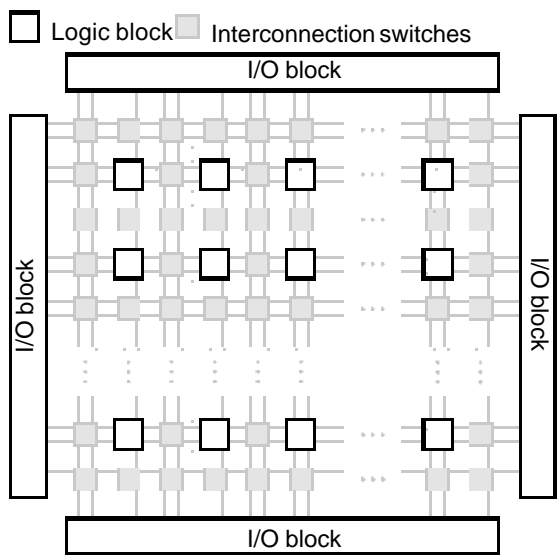


(a) CPLD in a Quad Flat Pack (QFP) package

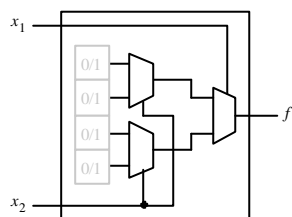


(b) JTAG programming

Estrutura de uma FPGA – Field Programmable Gate Array



FPGA - lookup table (LUT) de duas entradas

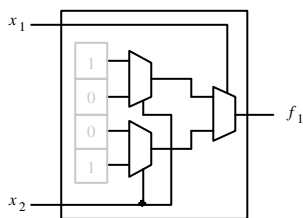


(a) Circuit for a two-input LUT

x_1	x_2	f_1
0	0	1
0	1	0
1	0	0
1	1	1

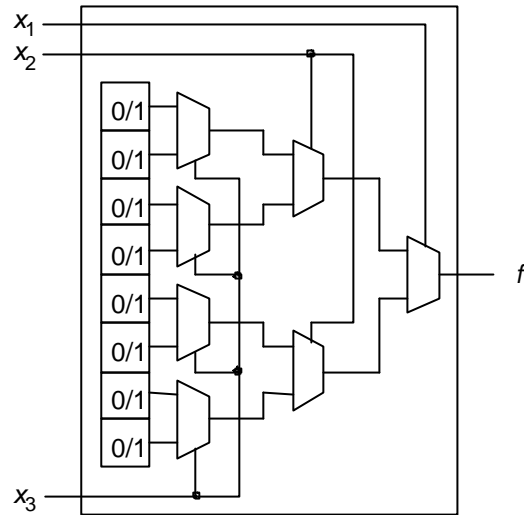
(b) $f_1 = \bar{x}_1\bar{x}_2 + x_1x_2$

LUT \neq contém células que armazenam. São usadas para implementar uma função lógica

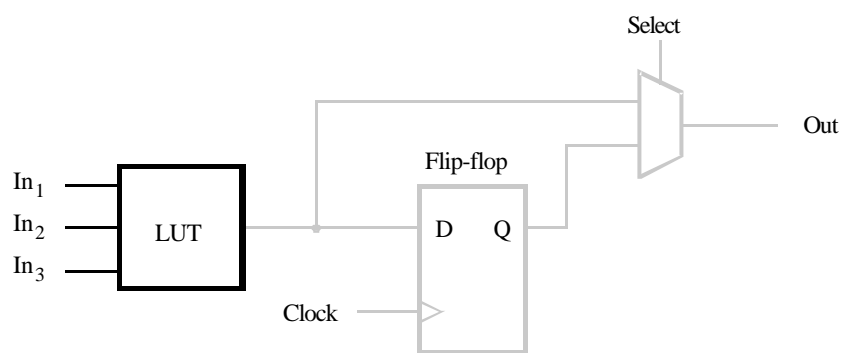


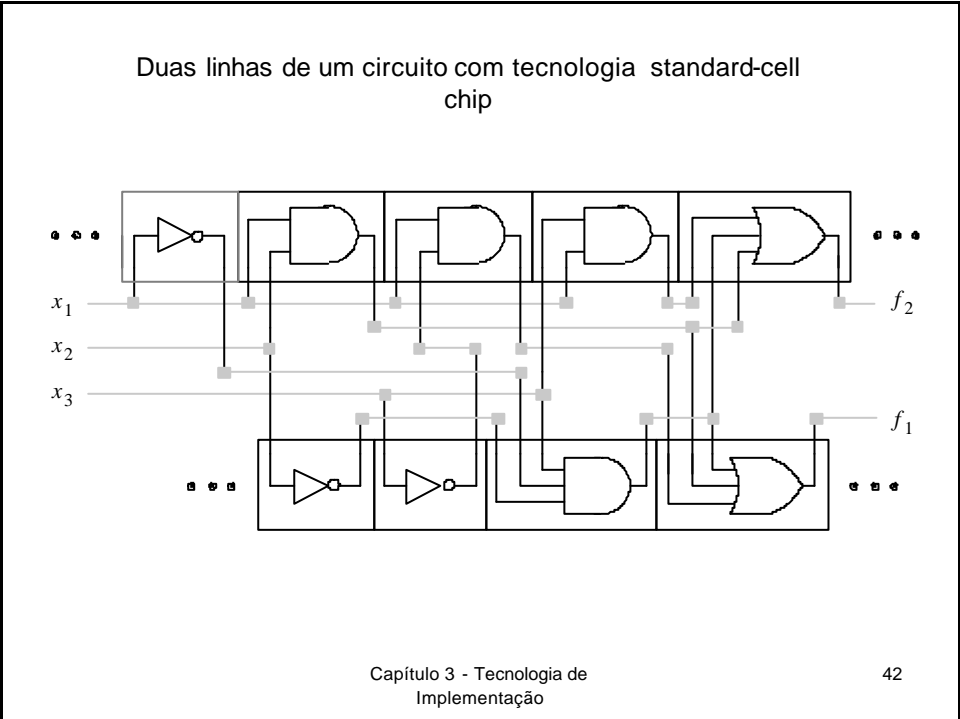
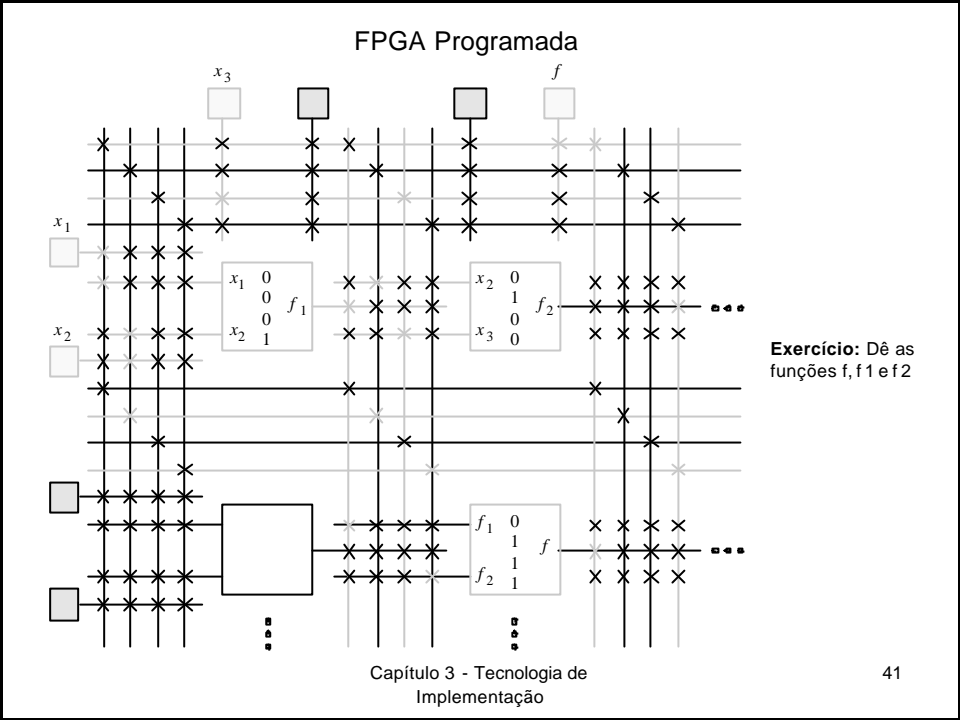
(c) Storage cell contents in the LUT

FPGA - lookup table (LUT) de três entradas

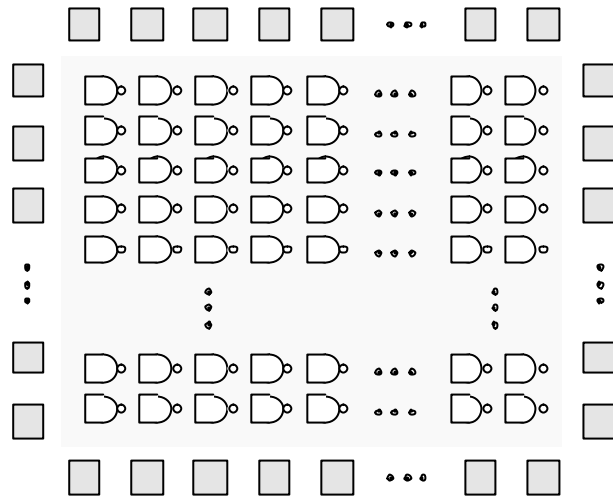


FPGA - lookup table (LUT) + Flip Flop





Um gate array - sea-of-gates



Exemplo de uma função lógica em um gate array

