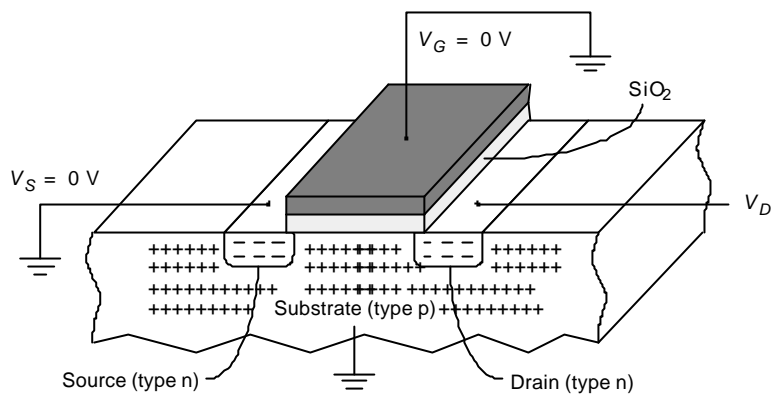


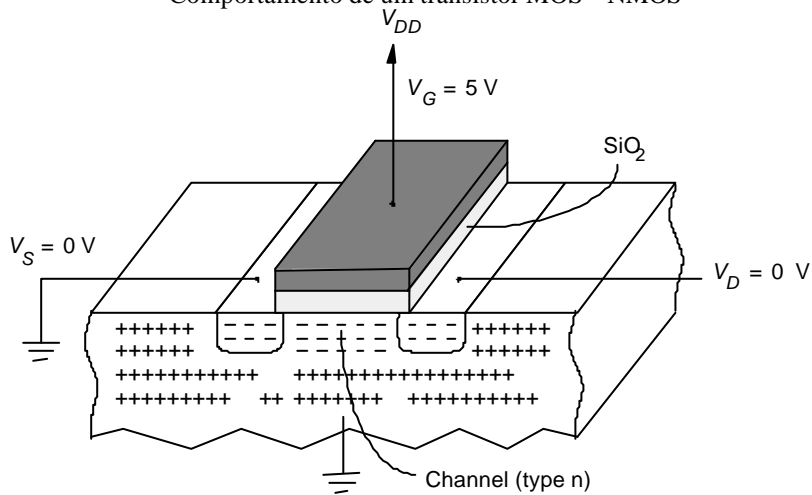
Comportamento de um transistor MOS - NMOS



(a) Quando $V_{GS} = 0\text{ V}$, o transistor está off

1

Comportamento de um transistor MOS - NMOS



(b) Quando $V_{GS} = 5\text{ V}$, o transistor está on
 $V_{GS} > V_{Tn}$ há a formação do canal

2

Comportamento de um transistor MOS – NMOS Comprimento e Largura de Canal

$$I_D = k'_n W / L [(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2]; \text{ (gráfico no próximo slide)}$$

onde k'_n é a transcondutância (parâmetro de processo – unidade A / V^2) quando $V_{DS} = V_{GS} - V_T$, a corrente atinge a máximo (saturação) e

$$I_D = k'_n W / L [(V_{GS} - V_T)^2] \approx \text{independe de } V_{DS}$$

OBS – A análise para o PMOS é semelhante, só que teremos VS com a maior tensão e VT negativo e $K'_p \sim 0,4 K'_n$

Exercício: Assumir $k'_n = 60 \mu A/V^2$, $W/L = 2,0 \mu m / 0,5 \mu m$, $V_S = 0$. Se $V_D = 2,5$, qual a corrente I_D na região de triodo e na região de saturação.

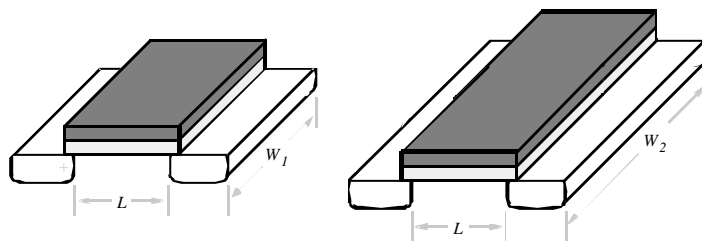
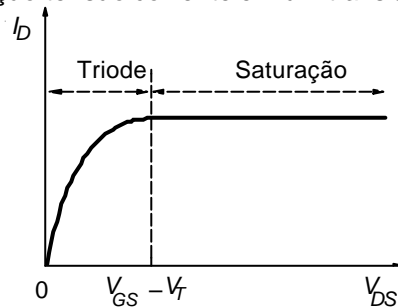
ON – Resistence em um MOSFET

$$R_{DS} = V_{DS} / I_D \approx R_{DS} = 1/[k'_n W/L (V_{GS} - V_T)]$$

Exercício: Assumir $k'_n = 60 \mu A/V^2$, $W/L = 2,0 \mu m / 0,5 \mu m$, $V_{GS} = 5V$. Calcular R_{DS} .

3

Relação tensão-corrente em um transistor NMOS

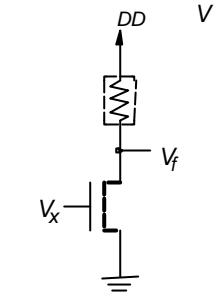


(a) Small transistor

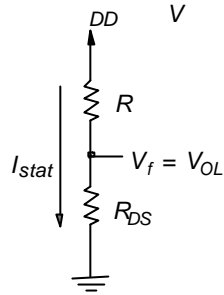
(b) Larger transistor

4

Níveis de tensão em um inversor NMOS inverter



(a) NMOS NOT gate



(b) $V_x = 5\text{ V}$

OBS: Nos inversores NMOS, geralmente o resistor é um transistor PMOS ≠ pseudo PMOS ≠ compatível com CMOS

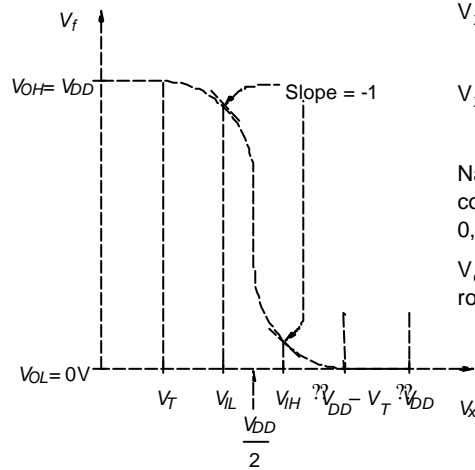
$V_x = 0$ ≠ NMOS aberto, sem fluxo de corrente ≠ $V_f = 5\text{ V}$

$V_x = V_{DD}$ ≠ $V_f = V_{DD} \cdot \frac{R_{DS}}{(R_{DS} + R)}$

Exercício: $R = 25\text{ KW}$ e $R_{DS} = 1\text{ KW}$. Calcular I_{stat} e V_f

5

Curva de transferência de um inversor CMOS



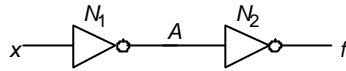
$V_x = 0$ ≠ NMOS off } Sem fluxo de corrente
 $V_x = V_{DD}$ ≠ PMOS off }

Na realidade existe uma pequena corrente ≠ leakage current ≠ $V_{OL} = 0,1\text{ mV}$

V_{OL} , V_{IL} , V_{OH} e V_{IH} ≠ quantifica a robustez de uma família lógica

6

Margem de Ruído



Dois inversores em cascata

Ruído \approx perturbações randômicas que podem alterar um sinal.

Por exemplo, a saída de N_1 pode ser alterada por uma perturbação externa (ruído).

Se este ruído alterar V_{IL} de N_1 , este nível deve se manter abaixo de V_{IL} , para ser interpretado corretamente por N_2 .

A capacidade para tolerar ruídos sem afetar a operação correta \approx margem de ruído

$$NM_L = V_{IL} - V_{OL}$$

$$NM_H = V_{OH} - V_{IH}$$

Exercício – Dada na figura do slide 6, temos que $V_{OH} = V_{DD}$ e $V_{OL} = 0$ V. Nos pontos onde a inclinação da curva = -1, podemos tirar:

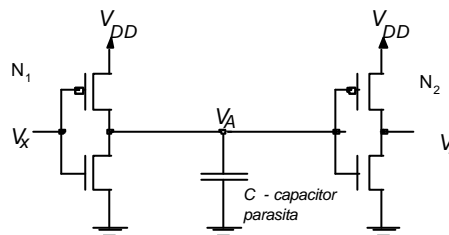
$$V_{IL} \approx 1/8 (3V_{DD} + 2V_T) \text{ e } V_{IH} \approx 1/8 (5V_{DD} - 2V_T)$$

Para o valor típico de $V_T = 0,2V_{DD}$, temos $NM_L = NM_H = 0,425 \times V_{DD}$

Calcule a margem de ruído para $V_{DD} = 5$ V e $V_{DD} = 3.3$ V.

7

Operações Dinâmicas de Portas Lógicas



Carga capacitiva no ponto A

Por causa da construção dos transistores, o inversor N_2 recebe o efeito da capacitância de carga (capacitância parasita) do ponto V_A . A capacitância parasita no ponto V_A é devido ao Inversor N_1 e ao inversor N_2 , mas o que mais contribui é a capacitância que existe na entrada de N_2 e o terra. O valor do desta capacitância depende do tamanho do transistor. Cada transistor contribui com a capacitância de porta $C_g = W \times L \times C_{ox}$. O parâmetro C_{ox} (capacitância do óxido), é uma constante e depende da tecnologia \approx unidade fF/? m².

8

Efeito da capacitância parasita na velocidade de um circuito lógico

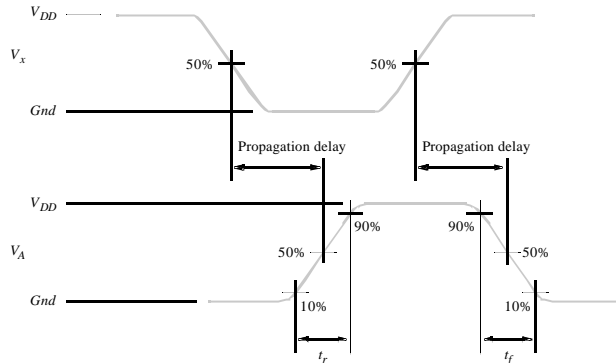
A capacitância tem um efeito negativo na velocidade de um circuito lógico.

t_r \approx rise time (10% a 90% de V_{DD})

t_f \approx fall time (90% a 10% de V_{DD})

t_p \approx propagation time (medido a 50% de V_{DD} , entre entrada e saída)

$$t_p = C \cdot V / I_D = C(V_{DD}/2) / I_D \approx 1,7 C / K'_n (W/L) V_{DD}$$



Exercício – Para $C = 70 \text{ fF}$, $K'_n = 60 \text{ mA/V}^2$, $W/L = 2,0/0,5$ e $V_{DD} = 5 \text{ V}$.
Calcular t_p .

Dissipação de Potência – tecnologia MOS

Quando um transistor está em saturação $\approx P_S = I_{sat} \times V_{DD}$ (inversor NMOS). Se $I_{sat} = 0,2 \text{ mA}$ e $V_{DD} = 5 \text{ V}$, $P_S = 1,0 \text{ mW}$. Para um circuito com 10.000 inversores $\approx P = 10 \text{ W}$ \approx crítico para circuitos alimentados por bateria.

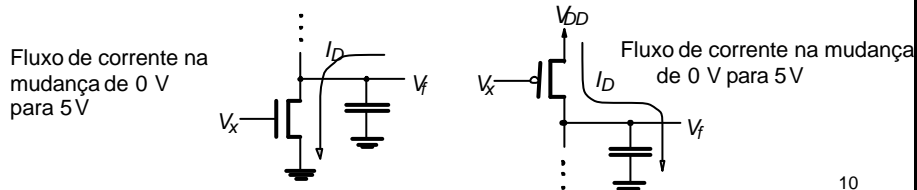
Potência Estática \times Potência Dinâmica \approx NMOS dissipa ambas, CMOS apenas a dinâmica

Inversor CMOS } V_x baixo \approx NMOS off \approx não existe corrente
 } V_x alto \approx PMOS off \approx não existe corrente

Quando há a transição, existe fluxo de corrente \approx dissipação de potência.

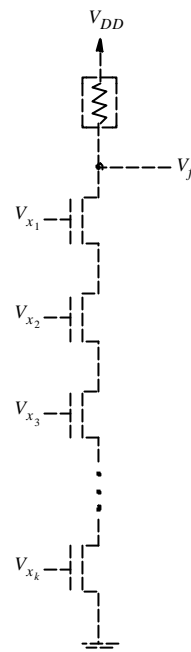
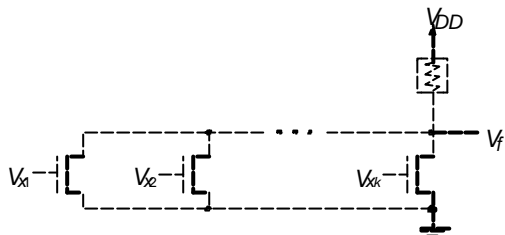
$$\text{Potência dissipada em um inversor CMOS} \approx P_D = f \times C \times V_{DD}^2$$

Exercício – Se $C = 70 \text{ fF}$, $V_{DD} = 5 \text{ V}$ e $f = 100 \text{ MHz}$, calcule P_D de um inversor MOS. E para 10.000 inversores, supondo 20% chaveando ?



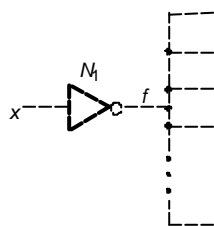
Fan-in de uma porta NOR e uma porta NAND NMOS

$$t_p = (1,7 C / (K'_n (W/L) V_{DD}) \times n. \text{ de entradas}$$

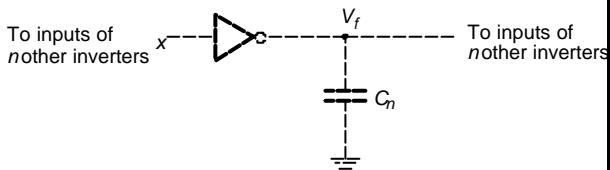


11

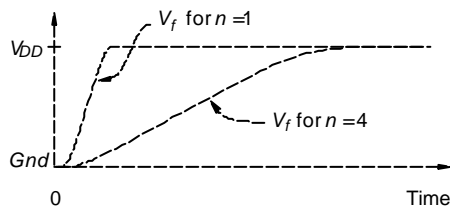
Efeito do fan-out no atraso do tempo de propagação



Inversor que alimenta (drive) n inversores

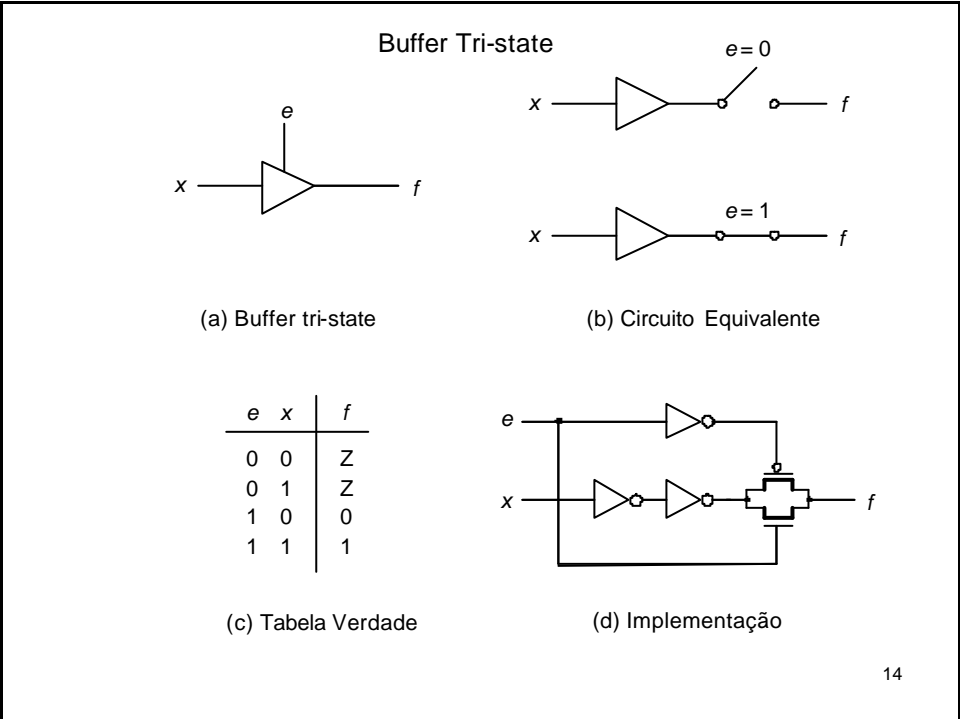
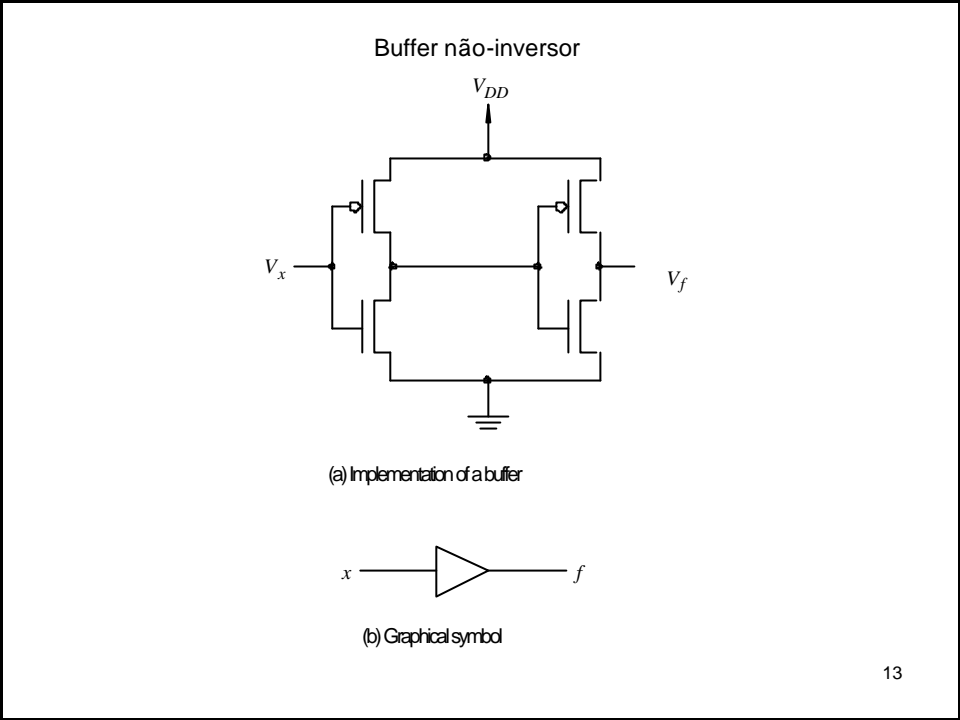


Circuito equivalente

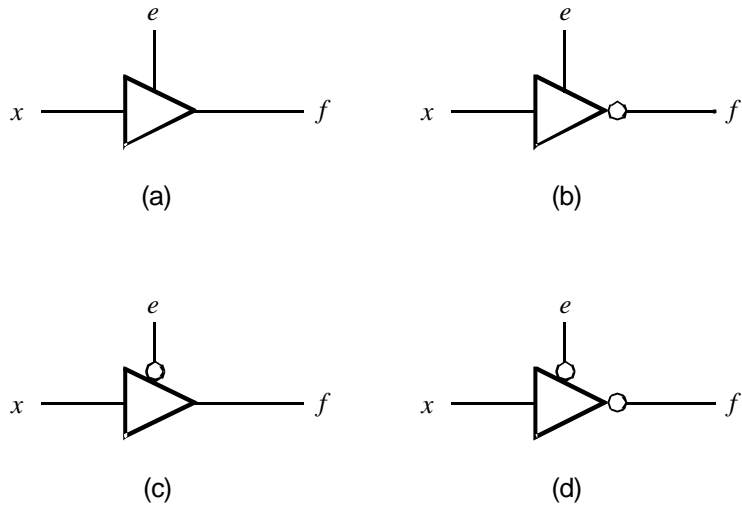


(c) Tempo de propagação para diferentes valores de n

12

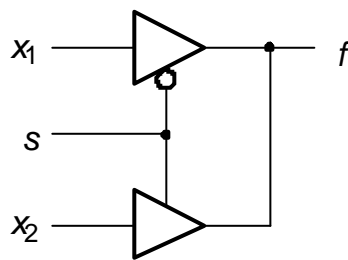


Quatro tipo de buffers tri-state



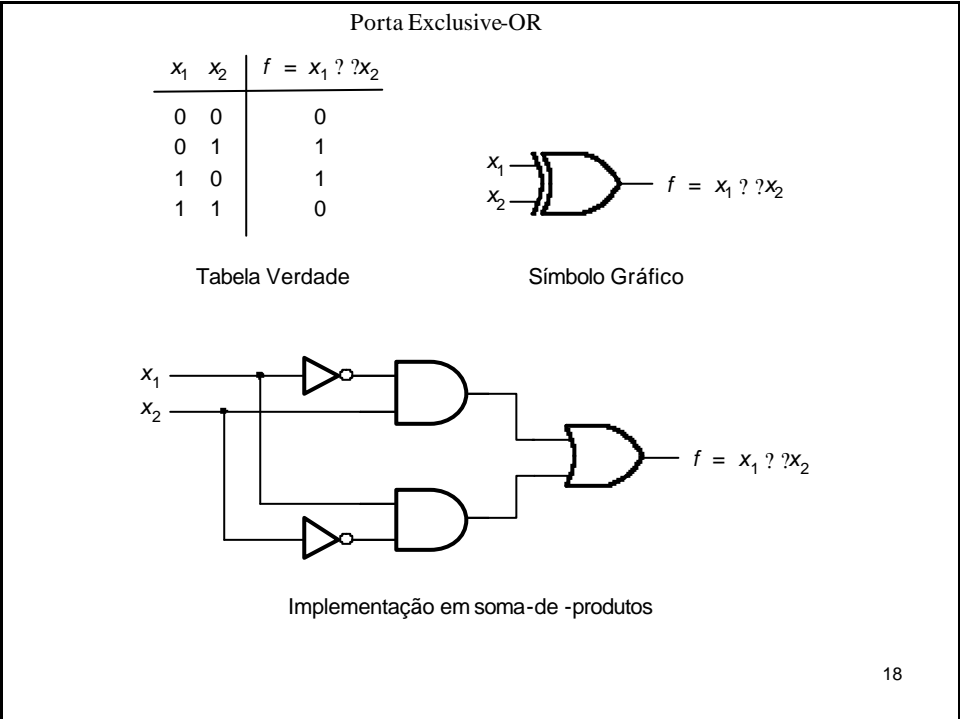
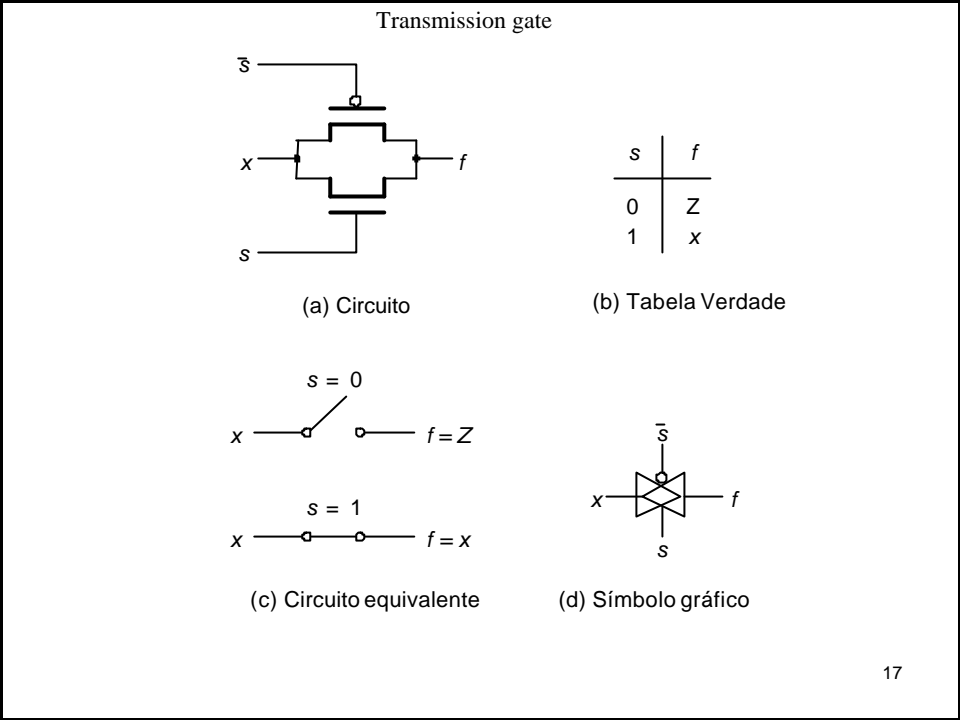
15

Uma aplicação de buffers tri-state

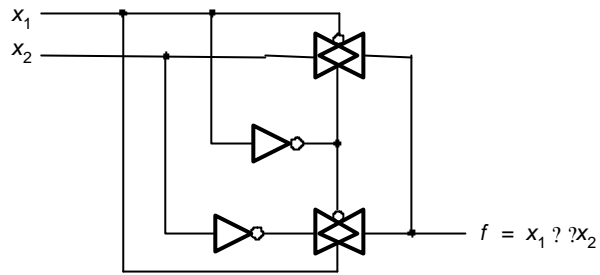


Que circuito é este ??????????

16



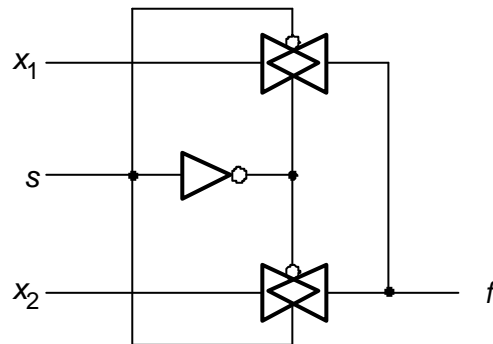
CMOS Exclusive-OR gate



implementação CMOS

19

Um multiplexador 2-to-1 usando transmission gates



20

